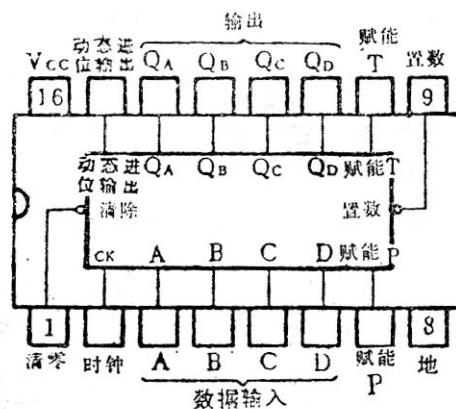


54LS162A/74LS162A 四位十进制同步计数器(同步清零)

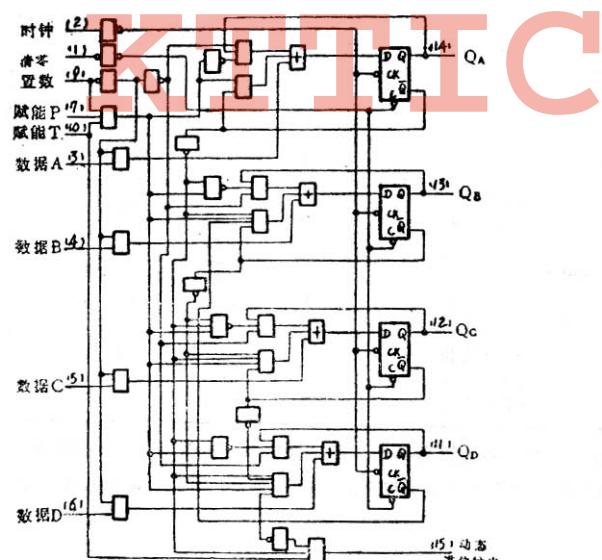
典型参数: 计数频率25MHz

Pd = 93mW

外引线排列图



逻辑图



54LS162A / 74LS162A 规格

符 号	参 数 名 称	参 数 值			单 位
		最 小	典 型	最 大	
V _{CC}	电源电压	54LS162A	4.5	5	5.5
		74LS162A	4.75	5	5.25
I _{OH}	输出高电平电流			-400	μA
I _{OL}	输出低电平电流	54LS162A		4	mA
		74LS162A		8	

f _{CK}	时钟频率			0		25	MHz
t _w (CK)	时钟脉冲宽度			25			ns
t _w (CR)	清除脉冲宽度			20			ns
ts	建立时间		A - B - C - D	20			ns
			EP , ET	20			
			置数	20			
th	维持时间			0			ns
T _A	工作温度		74LS162A	-55		125	℃
			74LS162A	0		70	

54LS162A / 74LS162A 参数

符 号	参 数 名 称	参 数 值			单 位	测 试 条 件	
		最 小	典 型	最大			
V _{IH}	输入高电平电压	2			V		
V _{IL}	输入低电平电压	54LS162A		0.7	V		
		74LS162A		0.8			
V _{CD}	输入钳位电压			-1.5	V	V _{CC} =最小 I _I =-18mA	
V _{OH}	输出高电平电压	54LS162A	2.5	3.4	V	V _{CC} =最小 V _{IH} =2V	
		74LS162A	2.7	3.4		V _{IL} =最大 I _{OH} =-400 μA	
V _{OL}	输出低电平电压	54 , 74		0.25	0.4	V	I _{OL} =4mA V _{CC} =最小
		74LS162A		0.35	0.5		I _{OL} =8mA V _{IL} =最大 V _{IH} =2V
I _I	最大输入电压时的输入电流	数据或赋能P		0.1		V _{CC} =最大 V _I =7V	
		置数时钟或赋能T		0.2	mA		
		清除		0.2			
I _{IH}	输入高电平电流	数据或赋能P		20		V _{CC} =最大 V _I =2.7V	
		置数时钟或赋能T		40	μA		
		清除		40			
I _{IL}	输入低电平电流	数据或赋能P		-0.4		V _{CC} =最大 V _I =0.4V	
		置数时钟或赋能T		-0.8	mA		
		清除		-0.8			
I _{OS}	短路输出电流	-15		-100	mA	V _{CC} =最大	
I _{CCH}	高电平输出电源电流		18	31	mA	V _{CC} =最大 注1	
I _{CCL}	低电平输出电源电流		19	32	mA	V _{CC} =最大 注2	
f _{MAX}	最大时钟频率	25	32		MHz	C _L =15pF R _L =2kΩ	
t _{PLH}	从(输入)时钟	(到输出) 行波进位	20	35	ns		
			18	35			
t _{PLH}	时钟(置数输入为高电平)	任一个Q	13	24	ns		
			18	27			
t _{PLH}	时钟(置数输入为低电平)	任一个Q	13	24	ns		
			18	27			
t _{PLH}	使能T	行波进位	9	14	ns		
			9	14			
t _{PLH}	清除	任一个Q	20	28	ns		

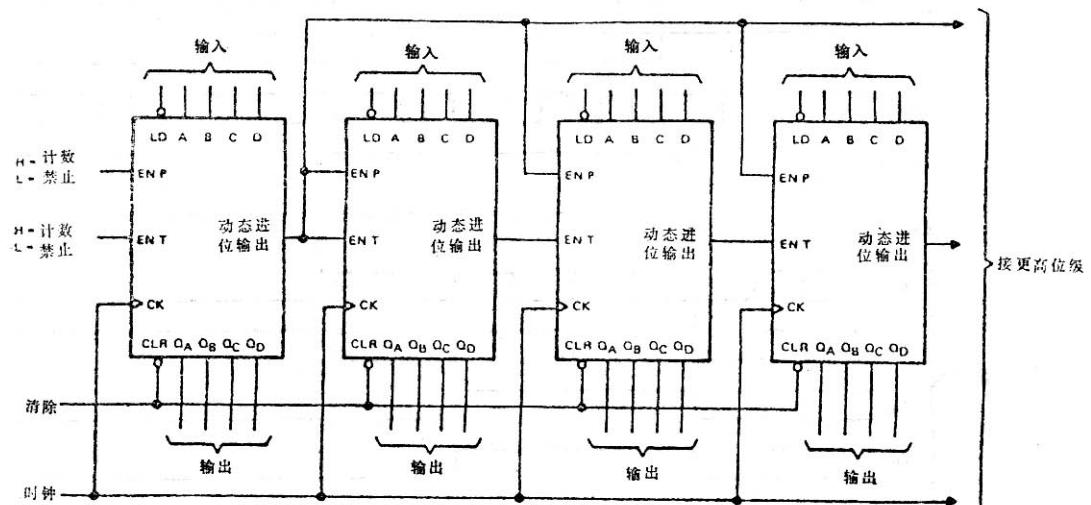
注 1 : I_{CCH}的测量条件是负载输入先接高电平, 再接低电平, 其他输入为高电平, 所有输出开路;

注 2: I_{CC1} 的测量条件是时钟输入先接低电平, 再接高电平, 其他输入为低电平, 所有输出开路。

典型应用数据

N位同步计数器

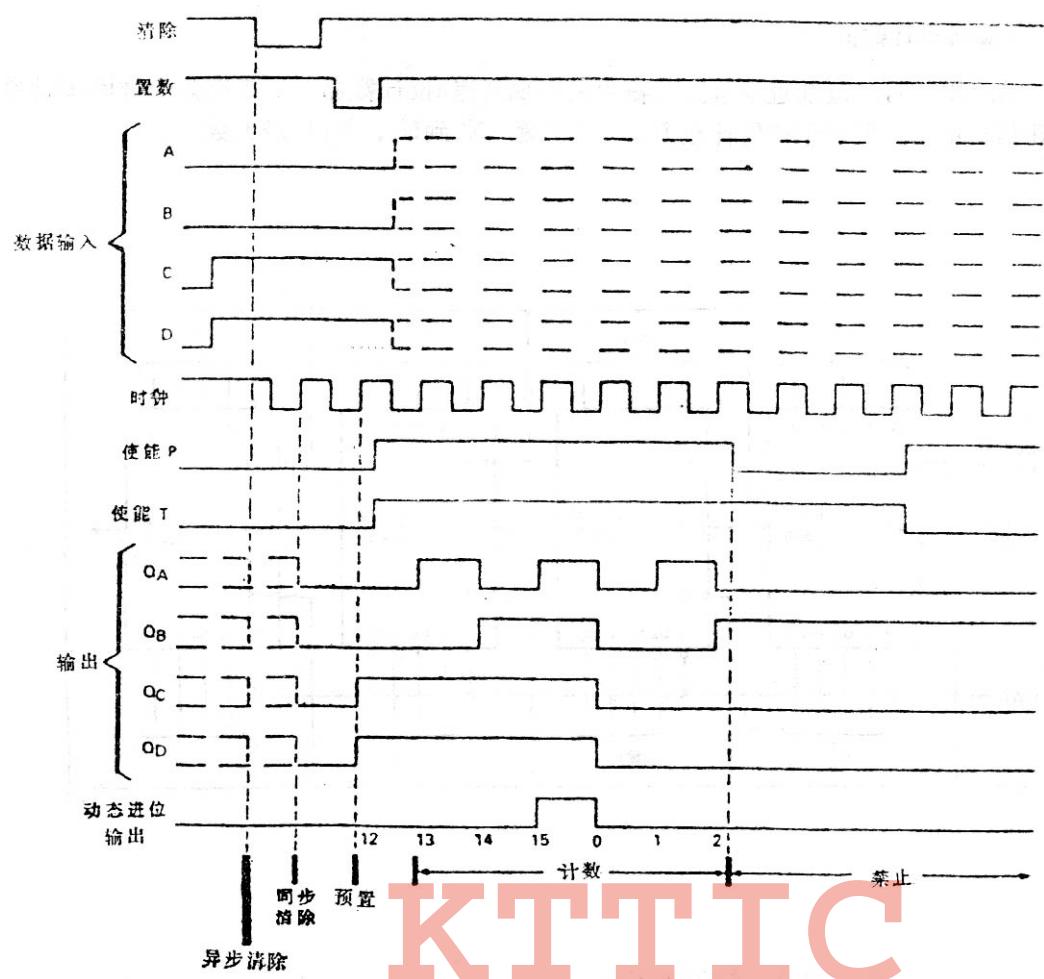
这应用证明, 超前进位电路可被用来实现高速n位计数器。该电路为十进BCD计数。该快速超前电路, 可用于任何计数方式 (N模数, N_1 到 N_2 , N_1 到最大数)。



KTTIC

输入、输出等效电路同LS163。

典型的清零、预置、计数和禁止顺序



54LS162A / 74LS162A 说明

54LS162A / 74LS162A 为内部超前进位的高速二进制可预置同步计数器，它由四个 D 型触发器和若干个门电路构成，具有计数、预置存数、禁止、异步清除等功能。该电路采用同时控制所有触发器的方法实现同步工作，这样，当有计数赋能输入和内部选通指令时，输出的变化就相互一致。这种同步计数方式清除了非同步计数所产生的计数输出尖峰脉冲，缓冲时钟输入在时钟输入波形的上升沿(正跃变)上触发四个触发器。

建立这种计数器是可编程序的，即输出端可出现任一个电平(或高或低均可)。若预置在同步状态，将在置数输入端建立一个低电平，就禁止计数，并在下一个时钟脉冲出现之后使输出与所建立的数据一致，而与赋能输入电平无关。由于清除功能是同步的，不管赋能输入端的电平如何，只要在清除端加低电平，可将所有四个触发器的输出置零。

超前进位电路供n位同步计数器级联之用，而不需外加选通，它是借助于两个计数赋能输入端和一个行波进位输出端来实现这一功能的。两个计数赋能输入端(P和T)必须为高电平才能计数，且输入端T必须正反馈以使行波进位输出端赋能(允许操作)。于是被赋能的行波进位将产生一个高电平输出脉冲，其持续时间近似等于QA输出高电平部分，这个高电平就溢出行波进位脉冲，以使相继的级联级赋能。不管时钟输入端的电平如何，都允许赋能输入端P和T产生高电平到低电平的跃变。

54LS162A / 74LS162A 有完全独立的时钟电路，控制输入端(赋能端P、T 或清除端)的变化虽然可改变工作方式，但直到时钟控制之前，它都是没有影响的。计数器的功能(无论是赋能、禁止、加负载还是计数)只受是否满足稳定的建立时间和维持时间这个条件所支配。

54LS162A / 74LS162A 电路有如下特点：

- 用于快速计数的内部超前进位
- 用于n 位级联的进位输出
- 同步计数
- 同步编程
- 有置数控制线
- 二极管钳位输出

参数测量见LS160

KTTIC