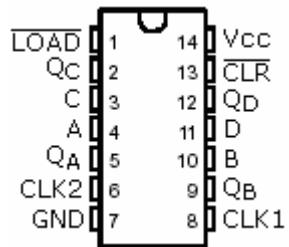




54S197/74S197

STTL 型可预置四位二进制计数器/锁存器特点

- 进行四位二进制计数
- 全可编程序（预置）
- 完全独立的清除输入
- 输入二极管箝位简化系统设计
- 输出 Q_A 除了驱动时钟 2 输入端外，还能保持全扇出能力

外引线排列图典型参数： $f_{\text{工作频率}} = 140\text{MHz}$ $P_d = 375\text{mW}$ 功能表

(工作) 方式选择表

输入			工作模式
清除	计数/置数	时钟	
\overline{CLR}	\overline{LOAD}	CLK	
L	X	X	清零(复位)
H	L	X	置数(预置)
H	H	↓	计数

H=高电平 L=低电平

X=不定(高或低电平)

↓=由“高”→“低”电平的跃变

计数时序(注 A)

计数	输出			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

注 A: 输出 Q_A 接 CLK2 时钟输入端。

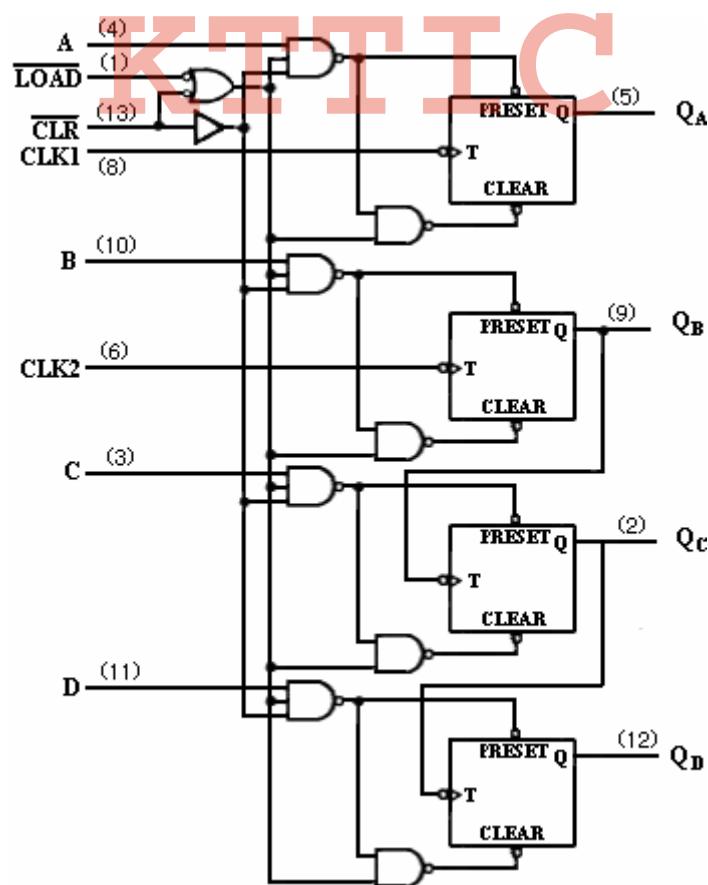
**说明：**

这种可预置四位二进制计数器是由四个直接耦合主从触发器组成，通过内部互连组成一个2分频和一个8分频计数器。这种四位计数器是可全编程的，即可通过在计数/置数输入上加一低电平，并在数据输入端加上所需的数据，就可将输出预置到任何电平。这些输出将随数据输入而变化，不受时钟状态的影响。

在计数操作期间，信号将在时钟脉冲的下跃变边沿传输到输出。这种计数器采用直接清除，当直接清除端是低电平时，则所有输出都为低电平，而不管时钟是什么状态。

假如将计数/置数输入当选通使用并将数据送入数据输入端，则这种计数器也可做4位寄存器使用。当计数/置数输入端为低电平时，输出将直接随数据输入而变，但当计数/置数输入为高电平时且时钟处于无效状态时，输出将保持不变。

所有输入端都用二极管箝位，以尽量减小传输线的影响，简化系统设计。本电路与大多数TTL和DTL逻辑系列相容。

逻辑图



54S197/74S197

STTL 型可预置四位二进制计数器/锁存器

推荐工作条件

符号	参数名称	74 II			54			单位	
		参数值			参数值				
		最小	典型	最大	最小	典型	最大		
V _{CC}	电源电压	4.75	5	5.25	4.5	5	5.5	V	
V _{IH}	输入高电平电压	2.0			2.0			V	
V _{IL}	输入低电平电压			0.8			0.8	V	
I _{OH}	输出高电平电流			-1000			-1000	μA	
I _{OL}	输出低电平电流			20			20	mA	
f _{CK}	时钟频率	时钟 1	0	100	0		100	MHz	
		时钟 2	0	50	0		50		
t _W	脉冲宽度	时钟 1	5		5			ns	
		时钟 2	10		10				
		清除	30		30				
		置数	5		5				
t _{su}	建立时间	高电平数据	3		3			ns	
		低电平数据	3		3				
t _h	保持时间	高电平数据	6		6			ns	
		低电平数据	6		6				
t _{en}	计数使能时间	时钟 1	12		12			ns	
		时钟 2	24		24				
T _A	工作环境温度	-40		85	-55		125	℃	

电 性 能 (除特别说明外, 均为全温度范围)

符号	参数名称	测试条件	74 II			54			单位	
			参数值			参数值				
			最小	典型	最大	最小	典型	最大		
V _{IK}	输入钳位电压	V _{CC} =最小 I _f =-18mA			-1.2			-1.2	V	
V _{OH}	输出高电平电压	V _{CC} =最小 V _{IL} =最大 V _{IH} =2V I _{OH} =最大	2.7			2.5	3.4		V	
V _{OL}	输出低电平电压 (注 2)	V _{CC} =最小 V _{IL} =最大 V _{IH} =2V I _{OL} =最大			0.5			0.5	V	
I _I	输入电流 (最大输入电压时)	V _{CC} =最大 V _I =5.5V			1.0			1.0	mA	
I _{IH}	输入高电平电流	V _{CC} =最大 VI=2.7V	CLK1、CLK2		150			150	μ A	
			其它		50			50		
I _{IL}	输入低电平电流	V _{CC} =最大 V _I =0.5V	其它		-0.75			-0.75	mA	
			CLR		-1.5			-1.5		
			CLK1		-8			-8		
			CLK2		-6			-6		
I _{OS}	输出短路电流	V _{CC} =最大 V _O =0V	-30		-110	-30		-110	mA	
I _{CC}	电源电流	V _{CC} =最大 (注 1)			120		75	110	mA	

注 1：测 I_{CC} 时，所有输出开路，所有输入接地。注 2：Q_A 输出的测试条件是规定的 I_{OL} 加上时钟 2 (CLK2) 输入的 I_{IL} 极限值。这样可以驱动时钟 2 输入端而同时保持全扇出能力。所有典型值均在 V_{CC}=5.0V, T_A=25°C 下测量得出。



54S197/74S197

STTL 型可预置四位二进制计数器/锁存器

交流(开关)参数 (V_{CC}=5.0V, T_A=25°C)

符号	参数名称	从(输入)	到(输出)	测试条件	参数值			单位	
					最小	典型	最大		
f _{max}	最大时钟频率	CLK1	Q _A	C _L =15pF R _L =280Ω	100	140		MHz	
t _{PLH}	传输延迟时间	时钟1	Q _A			5	10	ns	
t _{PHL}	传输延迟时间	CLK1				6	10		
t _{PLH}	传输延迟时间	时钟2	Q _B			5	10	ns	
t _{PHL}	传输延迟时间	CLK2				8	12		
t _{PLH}	传输延迟时间	时钟2	Q _C			12	18	ns	
t _{PHL}	传输延迟时间	CLK2				15	22		
t _{PLH}	传输延迟时间	时钟2	Q _D			18	27	ns	
t _{PHL}	传输延迟时间	CLK2				22	33		
t _{PLH}	传输延迟时间	数据A、B、C、D	Q _A 、Q _B 、Q _C 、Q _D			7	12	ns	
t _{PHL}	传输延迟时间	计数/置数LOAD	任一Q			12	18		
t _{PLH}	传输延迟时间					10	18	ns	
t _{PHL}	传输延迟时间					12	18		
t _{PLH}	传输延迟时间	清零CLR	任一Q			26	37	ns	

KTTIC